

**SEMICONDUCTOR STORAGE DEVICE**

Patent Number: JP63039191  
Publication date: 1988-02-19  
Inventor(s): HORII TAKASHI  
Applicant(s):: FUJITSU LTD  
Requested Patent: ☐ JP63039191  
Application Number: JP19860183847 19860805  
Priority Number(s):  
IPC Classification: G11C11/34  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To eliminate the need for data transfer between systems for comparison by arranging two cell arrays in a way that word lines are in parallel and arranging a logic circuit detecting coincidence discrepancy such as AND, OR or exclusive OR between the cell arrays.

**CONSTITUTION:** In selecting a word line WLi of a cell array, since data of the memory cell belonging to the word line come from all bit lines of the cell array, when the cell arrays 22a, 22b select a word line (WLj is a selected word line by the cell array 22b) at the same time, the data of the memory cell WLi and WLj are given from all bit lines of the arrays 22a, 22b. Since one ends of the bit lines are opposed, the ends are fetched in a logic circuit 26, then the data coincidence/discrepancy of data between the opposed bit lines is detected and then the data coincidence/discrepancy of all bit lines is detected. Thus, the data are transferred between systems for coincidence detection and the judging by a CPU is not required.

---

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-39191

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)2月19日

G 11 C 11/34

K-8522-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-183847

⑰ 出 願 昭61(1986)8月5日

⑱ 発 明 者 堀 井 孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 柳 稔

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

半導体基板(20)に2個のセルアレイ(22a、22b)を形成したデュアルポート型の半導体記憶装置において、

前記セルアレイの間に、各セルアレイの対応するビット線に亘わた電位を比較して一致、不一致を検出する論理セルを、セルアレイのビット線対数だけ備える論理回路(26)を配設し、

該論理回路の、各論理セルの検出結果から導出した判定結果(FLAG)を出力する配線を設けたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(概 要)

2つのI/Oとセルアレイを有するメモリで、判定端子を設け、列又は行の論理をとり、判定端子に出力するようにした半導体記憶装置。

(産業上の利用分野)

本発明はプロセッサを2個有するシステムに使用される半導体記憶装置に関し、判定を簡単に行なえるようにしようとするものである。

(従来の技術)

デュアルシステムでは2個のプロセッサが同じ仕事をし、その結果をチェックして同じなら動作は正しいとして処理を続ける。

第2図はこのデュアルシステムの概要を示し、システム1、システム2は同じ構成で中央処理装置(CPU)、メモリ(MEM)、入出力ポート(I/O)を有する。CPU10a、10bは同じ仕事をし、それに必要なデータ及び結果のデータをメモリ12a、12bにフェッチ/ロードする。CPU10a、10bの処理結果が同じであるか否かはI/Oポート14a、14bを通して交信することにより行なう。

(発明が解決しようとする問題点)

1/Oポートを通してデータ送受して処理結果を比較するのでは、このデータ送受及び比較はCPUが行なわねばならず、CPUの負担が増す。またシステム1、システム2間にバスを張らねばならず、またそれは他の目的で既にあるとすれば他の目的のバス使用に制限を加えることになる。

ところでメモリでは所謂2ポートRAMと呼ばれる、1チップで実質2個のRAMがある。このようなRAMを使用し、比較はチップ内で行なうようにすれば、比較のためのシステム間データ転送という上記の問題は改善される。本発明はかかる点に着目するもので、比較(判定)を容易に行なえる2ポートRAMを提供しようとするものである。

#### (問題点を解決するための手段)

本発明では第1図に示すように1つのチップ(半導体基板)20に2つのセルアレイ22a、22bを搭載した2ポート型RAMを使用する。CPU10aはデコーダ24aを介してセルアレイ

22aをアクセスし、またCPU10bはデコーダ24bを介してセルアレイ22bをアクセスして、データフェッチ/ロードを行ない、ジョブ又はタスクを実行する。

本発明では2つのセルアレイ22a、22bをワード線が平行になるように、従ってビット線端が突合うように配置し、これらのセルアレイ間にアンド、オア、又は排他オアなどの一致、不一致を検出する論理回路26を配設する。

#### (作用)

このようにすると、セルアレイのあるワード線(WL<sub>i</sub>とする)を選択するとセルアレイの全ビット線に、当該ワード線に属するメモリセルのデータが出てくるから、セルアレイ22a、22bで同時にワード線(セルアレイ22bの選択ワード線をWL<sub>j</sub>とする)を選択すると、22aではWL<sub>i</sub>の、22bではWL<sub>j</sub>のメモリセルのデータが22a、22bの全ビット線に表われ、これらのビット線の一端は対向しているので、これら

の一端を論理回路26に取込むことにより、対向するビット線相互のデータの一致/不一致を検出し、ひいては全ビット線のデータ一致/不一致を検出することができる。

本システムはデュアルシステムで、CPU10a、10bは同じ動作をしており、処理結果を10aは22aのWL<sub>1</sub>へ10bは22bのWL<sub>j</sub>へ(例えばi=j)格納したとすれば、これを格納するとき又は格納後WL<sub>i</sub>、WL<sub>j</sub>を選択して読出したとき論理回路26を動作させる(アクティブにする)と、処理結果の一致/不一致を示す出力を生じさせることができる。この判定結果をフラグFLGとしてCPU10a、10bへ通知し、「一致」なら処理続行、不一致なら動作停止、アラーム送出などとする事ができる。従来方式のように、一致検出のためシステム間でデータ転送し、CPUが判断するなどの作業は必要でない。

このメモリはCPU単独動作にも有効である。例えばCPU10aがセルアレイ22aを用いて仕事をしており、その時々処理結果がR<sub>1</sub>、R<sub>2</sub>、

……であるべき場合、これらの基準値R<sub>1</sub>、R<sub>2</sub>、……をCPU10bがセルアレイ22bの適当なワード線WL<sub>j</sub>、WL<sub>j+1</sub>、……に格納しておき、結果R<sub>1</sub>が出る時点でその結果が格納されるセルアレイ22aのWL<sub>i</sub>とその基準値R<sub>1</sub>を格納しているセルアレイ22bのWL<sub>j</sub>を選択すればR<sub>1</sub>についての一致/不一致を検出することができる。R<sub>2</sub>、R<sub>3</sub>、……についても同様である。

#### (実施例)

第3図、第4図に本発明の実施例の概要を示す。SAはセンスアンプ、MCはメモリセル、DBはデータバスである。セルアレイ22aのワード線WL<sub>i</sub>を選択すれば、該ワード線に属する全メモリセルMCが各々のビット線BL<sub>i</sub>、 $\overline{BL}_i$ に接続され、全ビット線対BL<sub>1</sub>、 $\overline{BL}_1$ (i=0, 1, 2, ……)に電位差が出る。センスアンプ32aはこれを増幅し、そして図示しないコラムデコーダにより選択されたものがデータバスDBa、DBaに接続され、入出力回路36aを通してチ

ップ外へ送出される。セルアレイ22b側も同様であり、22a側と対応する部分には同じ数値が与えられ、唯、添字aの代りにbが与えられている。

論理回路26はセルアレイのビット線対と同数の論理セル34を有し、これらの入力端は対応するビット線対 $BL_i$ ,  $\overline{BL_i}$ と $BL_j$ ,  $\overline{BL_j}$  (ここで $i=j$ で0, 1, 2, ...のうちの1つの値)に接続され、その一致/不一致を検出する。各論理セルの判定結果は配線 $\phi_f$ 、バッファ38を通して送出され、前述のフラグFLGとなり、これはCPU10a, 10bへハードウエアインクランプTRQとして入力する。

第3図に論理回路26の具体例を示す。本例では論理セル34はトランジスタ $Q_1 \sim Q_5$ で構成され、 $Q_1$ は当該論理セルの動作/不動作を決定する選択ゲート、 $Q_2 \sim Q_5$ はセルアレイ22aのビット線対 $BL_i$ ,  $\overline{BL_i}$ とセルアレイ22bのビット線対 $BL_j$ ,  $\overline{BL_j}$ の電位でオン/オフするトランジスタである。バッファ28はトラン

ジスタ $Q_6 \sim Q_{11}$ からなり、これらのトランジスタのうち $Q_6 \sim Q_{11}$ はフリップフロップ(ラッチ)を構成し、 $Q_7$ は配線 $\phi_f$ の電位取込み用、 $Q_8$ はリセット用である。

今セルアレイ22aのビット線対 $BL_i$ ,  $\overline{BL_i}$ では $BL_i$ がH(ハイ)レベル、 $\overline{BL_i}$ はL(ロー)レベル、セルアレイ22bの $BL_j$ ,  $\overline{BL_j}$ に対応するビット線対では $BL_j$ がH、 $\overline{BL_j}$ がLとすると(これで、セルアレイ22aと22bの当該ビットのデータが一致しているとする)、トランジスタ $Q_2$ ,  $Q_3$ がオン、 $Q_4$ ,  $Q_5$ はオフで、選択トランジスタ $Q_1$ がオンでも線 $\phi_f$ は $V_{ss}$ へ接続されない。従って線 $\phi_f$ はプリチャージされているが、その電荷に変化はなく、線 $\phi_f$ はHレベルを保つ。これは逆に、 $BL_i$ がL、 $\overline{BL_i}$ がH、 $BL_j$ がL、 $\overline{BL_j}$ がH(これでも当該ビットのデータは一致している)であっても同様であり、 $Q_2$ と $Q_4$ 、 $Q_3$ と $Q_5$ のいずれかがオフで $\phi_f$ は $V_{ss}$ へ接続されることはない。対応するビット線対 $BL_i$ ,  $\overline{BL_i}$ と $BL_j$ ,  $\overline{BL_j}$

の電位が異なる(当該ビットのデータが異なる)と $Q_2$ ,  $Q_4$ オン、 $Q_3$ ,  $Q_5$ オフ、または $Q_2$ ,  $Q_4$ オフ、 $Q_3$ ,  $Q_5$ オンとなり、線 $\phi_f$ は電源 $V_{ss}$ へ接続されて、プリチャージされている線 $\phi_f$ の電荷が抜け、該線 $\phi_f$ はLレベルになる。

他の論理セルも同様であり、当該ビット線対の電位が一致すると $\phi_f$ を $V_{ss}$ へ接続するパスは形成されず、不一致であると形成され、線 $\phi_f$ は前者のときHレベル、後者のときLレベルになる。即ちビット線対だけある論理セル34はアンドゲートを構成しており、全ビット線対の比較結果が「一致」であれば $\phi_f$ はHレベル、1つでも「不一致」があれば $\phi_f$ はLレベルになる。

線 $\phi_f$ の電位はトランジスタ $Q_7$ を通してトランジスタ $Q_8$ のゲートに加わる。該 $\phi_f$ がHならトランジスタ $Q_8$ がオン、従ってクロック $\phi_{fs}$ がHならトランジスタ $Q_{11}$ がオン、 $Q_{10}$ がオフ、フラグFLGはHになる。 $\phi_f$ がLなら $Q_8$ はオフ、従って $\phi_{fs}$ がHでも $Q_{11}$ はオフ、 $Q_{10}$ はオン、FLGはLである。 $\phi_R$ はリセッ

トクロックで $\phi_R = H$ でトランジスタ $Q_9$ はオン、従って線 $\phi_f$ を $V_{cc}$ でプリチャージする。またトランジスタ $Q_6$ がオンになり、トランジスタ $Q_{10}$ をオン、 $Q_{11}$ をオフ、フラグFLGをLにする。

第5図に上記のクロック等を示す。動作開始に当りリセット信号 $\phi_R$ はLになり、次いでワード線 $WL_i$ ,  $WL_j$ が選択され(Hになり)、該ワード線に属するメモリセルのデータがビット線に出てくる。続いてクロック $\phi_{D1}$ ,  $\phi_{D2}$ がHになってセンスアンプ32a, 32bがアクティブになり、ビット線対の電位差を拡大する。次いでクロック $\phi_{fs}$ が入って各論理セルがアクティブになり、これらの論理セルによるビット線対電位比較結果が全て「一致」であれば $\phi_f$ はH、1つでも不一致があればLになる。次いでクロック $\phi_{fs}$ が上り、 $\phi_f = H$ であればFLG=H、 $\phi_f = L$ であればFLG=Lにする。

1ワード線に属するビット線対従ってメモリセルの数をn個として、上記では該n個を比較対象とするが、これは $n/2$ ,  $n/4$  ...などのその

一部ずつを比較対象としてもよい。これにより1ワード線にmバイトが入る場合、m分割してバイト単位の比較をすることができる。この場合は、論理回路26をm分割し、各々からφf線を出し、バッファ及びフラグ線もm個とする等の変更をすればよい。あるいはクロックφfeをバイト単位とし、論理回路26を部分的にアクティブにして比較を部分的に行なう等の方法をとってもよい。

比較は常に(CPUがメモリアクセスする度に)行なうのではなく、処理結果の一致/不一致をチェックする場合(デュアルシステムの時)等に行なえばよく、このための制御はφfe、φfsのいずれかを用いて行なうことができる。なお比較には両セルアレイが同時にアクセスされることが必要であるから、φfe、φfsの発生はφD1、φD2が共にHレベルであることを条件としてもよい。所望状態での比較、部分的比較などに対してはCPUがφfe、φfsを出力すればよい。CPU10a、10bは同期運転であってもまた非同期運転であってもよい。

(発明の効果)

以上説明したように、本発明ではシステム間でデータ転送することなく同じチップ内で処理結果の判定を行なうことができ、CPUの負担軽減、システムの高速化、高信頼性化を図ることができる。

#### 4. 図面の簡単な説明

第1図は本発明の要部説明図、

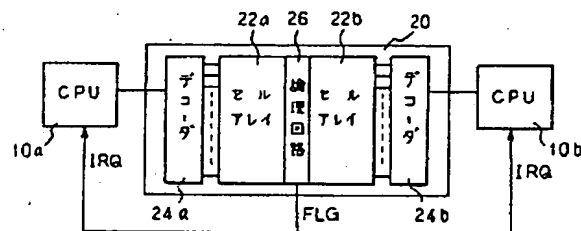
第2図は従来のデュアルシステムの説明図、

第3図および第4図は本発明の実施例を示すブロック図および回路図、

第5図は動作説明用の波形図である。

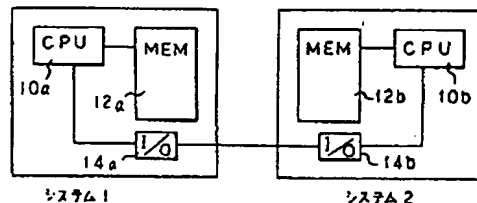
第1図で20は半導体基板、22a、22bはセルアレイ、10a、10bは中央処理装置、26は論理回路である。

出願人 富士通株式会社  
代理人 弁理士 青柳 稔



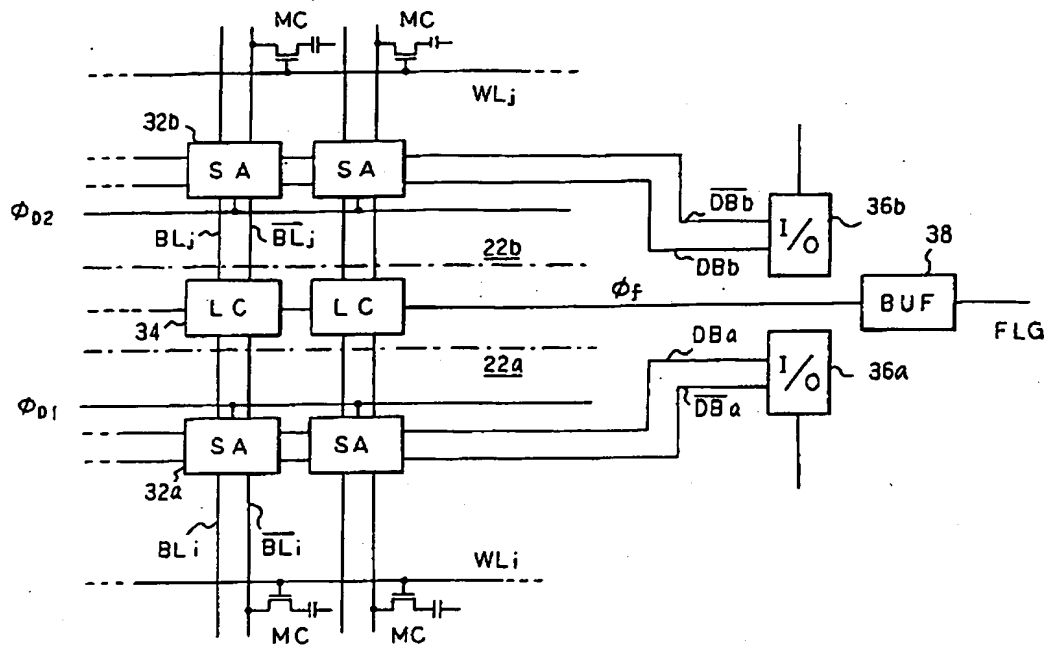
本発明の要部説明図

第1図



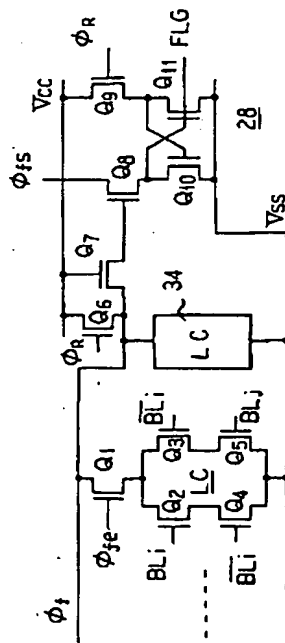
従来のデュアルシステムの説明図

第2図



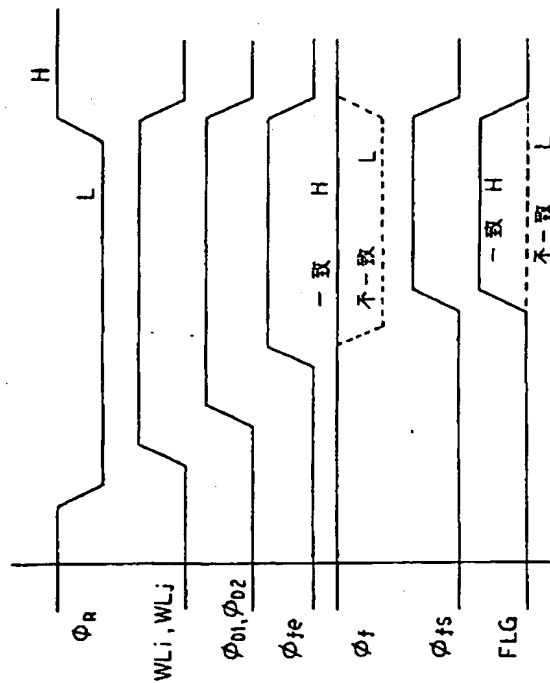
本発明の実施例を示すブロック図

第3図



本発明の実施例を示す回路図

第4図



動作説明用の波形図

第5図